

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-47214

⑬ Int.Cl.⁴

H 03 M 1/52

識別記号

庁内整理番号

6832-5J

⑭ 公開

昭和62年(1987)2月28

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 デジタル・アナログ変換回路

⑯ 特 願 昭60-186982

⑰ 出 願 昭60(1985)8月26日

⑱ 発 明 者	佐 藤 ま み 子	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑲ 発 明 者	町 田 征 彦	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑳ 出 願 人	ソニー株式会社	東京都品川区北品川6丁目7番35号	
㉑ 代 理 人	弁理士 小 池 晃	外1名	

明 細 書

1. 発明の名称

デジタル・アナログ変換回路

2. 特許請求の範囲

入力デジタルデータに対する演算項として少なくとも微分演算項と2次微分演算項とを有し、各演算項のデータを時分割で出力するとともに各演算項に対応する所定のパルス幅の信号を出力するデジタルフィルタ部と、

該デジタルフィルタ部より時分割で出力される上記各演算項のデータをアナログ化するデジタル・アナログ変換器と、

該デジタル・アナログ変換器よりアナログ信号

が供給される積分回路とを備え、

上記デジタル・アナログ変換器から順次出力れる上記各演算項のデータに対応するアナログ信号を上記積分回路において積分することにより各演算項の和に対応するアナログ信号を得るうにしたことを特徴とするデジタル・アナログ変換回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は例えば自動制御系において適用可能デジタルフィルタを用いて構成したデジタル・アナログ(D/A)変換回路に関する。

〔発明の概要〕

〔従来の技術〕

一般的に、自動制御系は第3図に示すように目標値が入力される基準入力要素40、基準入力信号とフィードバック信号との差を得る誤差検出器41、誤差信号が入力される制御要素42、前記制御要素42の出力により制御される制御対象43、該制御対象43の制御量を上記誤差検出器41へフィードバックするフィードバック要素44等より構成される。

この自動制御系は上記誤差検出器41より得られる誤差信号に応じて上記制御対象43を制御し、上記誤差信号が極めて小さい状態、すなわち上記制御対象43が目標値に達した状態を得る。

このような自動制御系において、上記制御要素42に、デジタルフィルタを用いることが考えられる。

デジタルフィルタはデジタルな加算器、乗算器、単位時間遅延素子等を用いて、ハードウェアにより実現することも、マイクロコンピュータ等を用いてソフトウェアにより実現することもできるが、

いずれもアナログフィルタに比べて、安定性、精度、経年変化において優れている。また、ソフトウェアにより実現した場合には、フィルタの性能を決めるパラメータの変更が容易であり、種々の特性のフィルタを簡単に実現できるという利点がある。

上記制御要素42をこのようなデジタルフィルタを用いて実現した場合には、第5図に示すように、デジタルフィルタ50の入力側にA/D変換器51が、出力側にD/A変換器52が各々必要となる。

今、デジタルフィルタで実現すべき伝達関数 $G(s)$ を、微分項をA、比例項をB、積分項をCとすると、この伝達関数 $G(s) = A s + B + C/s$ を実現する場合、例えば上記微分項、比例項、積分項独立に計算した後で加算する方法が考えられる。すなわち、第6図に示すように入力データをA/D変換器60でデジタル化した後、微分回路61、積分回路62、乗算器64に供給する。上記微分回路61の出力は乗算器63によりA倍され加

- 8 -

算器66にはA倍の項が入力される。また、上記積分回路62の出力は乗算器65によりC倍され上記乗算器66にC/sの項が入力される。また、上記乗算器64よりBの項が上記乗算器66に入力される。結局、該乗算器66からは $(A s + B + C/s)$ がD/A変換器67に供給され、アナログ信号が得られる。

このような構成において精度を上げるためには上記D/A変換器67の分解能を上げること、すなわちビット数を多くとることが要求される。

〔発明が解決しようとする問題点〕

上述したように、デジタルフィルタで精度を上げるためには高分解能のD/A変換器が必要にな

- 4 -

であり、簡単な構成でデジタルフィルタを用いた高精度のD/A変換回路を実現し、デジタルフィルタの適用を容易にすることを目的とする。

〔問題点を解決するための手段〕

上述の問題を解決するために本発明では、入出力データに対する演算項として少なくとも微分演算項と2次積分演算項とを有し、各演算のデータを時分割で出力するとともに、各演算に対応する所定のパルス幅の信号を出力するデジタルフィルタ部と、該デジタルフィルタ部より時分割で出力される上記各演算項のデータをアナログ化するD/A変換器と、該D/A変換器よりアナログ信号が供給され、上記デジタルフィルタ部の出力信号がD/A変換器の入力となる構成とを有する。

〔作用〕

本発明に係る D/A 変換回路では、入力デジタルデータに対して上記デジタルフィルタ部において微分演算と 8 次微分演算が行なわれ、各演算の結果のデータが時分割で上記 D/A 変換器に出力される。該 D/A 変換器により得られた各演算の結果のデータに対応するアナログ信号は上記デジタルフィルタ部より出力される所定のパルス幅の信号のパルス幅の間隔、上記積分回路において順次積分され上記各演算項の和に対応したアナログ信号が出力される。

〔実施例〕

以下、本発明を VTR (Video Tape Recorder) のドラムサーボ系に適用した場合の一実施例について図面を参照して説明する。

第 1 図は本実施例の構成を示すブロック図であり、前述した自動制御系に対応させると制御対象はドラムモータ 4 であり、フィードバック要素は積分器 5 であり、制御要素は A/D 変換器 2 及び

D/A 変換部 3 である。該 D/A 変換部 3 は周知特性を有する。

このドラムサーボ系では、上記ドラムモータ 4 が基準位相 θ_{ref} で回転するような制御が行なわれる。すなわち、上記ドラムモータ 4 の角速度から上記積分器 5 によりドラム位相 θ が得られ、該ドラム位相 θ と基準位相 θ_{ref} との差が誤差出力器 1 で検出される。ここで得られた誤差信号 $\Delta\theta$ は上記 A/D 変換器 2 を介して上記 D/A 変換部 3 に供給される。

該 D/A 変換部 3 はデジタルフィルタ部 3 a、D/A 変換器 3 b、スイッチ 3 c、積分回路 3 d 等より構成され、上記デジタルフィルタ部 3 a、及び積分回路 3 d により足まる周波数特性によりデジタル化された誤差信号 $\Delta\theta$ に応じた上記ドラムモータ 4 の駆動電圧 e_m を出力する。この結果、該ドラムモータ 4 はドラム位相 θ が上記基準位相 θ_{ref} と一致した状態で回転する状態に安定化される。

次に、上記 D/A 変換部 3 について詳細に説明

- 7 -

する。まず、上記デジタルフィルタ部 3 a では、 $(A S^2 + B S + C)$ で表わされる伝達関数の各項を別々に計算して計算結果のデータを時分割で上記 D/A 変換器 3 b に出力するとともに、各項の出力に対応して ΔT のパルス幅を有する制御信号 (H/L) を上記スイッチ 3 c に供給する。上記 D/A 変換器 3 b より出力されるアナログ信号は上記 ΔT の期間、該スイッチ 3 c を介して抵抗 R、コンデンサ C、オペアンプ 3 c から成る上記積分回路 3 d に供給される。

該積分回路 3 d は上記抵抗 R、コンデンサ C、上記時間幅 ΔT でその利得が定まり、上記 ΔT の時間、入力信号を積分し、上記スイッチ 3 c がオフになる期間は積分した値を保持する。従って、

- 8 -

記デジタルフィルタ部 3 a の伝達関数 $(A S^2 + B S + C)$ と上記 K/S との積となる。すなわち

$$(A S^2 + B S + C) \times \frac{K}{S} = (A S + B + \frac{C}{S}) K$$

が該 D/A 変換部 3 の実質する伝達関数であり、これによって周波数特性が定まる。

以上の動作を上記伝達関数のうち、C 項、B 項、 $A S^2$ 項の順に処理した場合を図 2 図に従って説明する。

まず、同図 a に示すように時間 ΔT において上記 C 項の演算がなされ、上記積分回路 3 d より (C/S) に対応する電圧の信号が出力される。次に同図 b に示すように時間 ΔT において上記 B 項の演算がなされ、上記積分回路 3 d の出力は $(B + C/S)$ 、 $(B/S + C/S^2)$ に対応した電圧の信号が出力される。

で、各項の演算が簡単になり、また、上記D/A変換器3eのビット数は例えば上記A/D変換器2のビット数より少なくてもよく、低分解能のD/A変換器を用いても精度等を維持することが可能になる。

また上記伝達関数 $(AS^2 + BS + C)$ のA、B、Cは定数であるから、上記制御信号のパルス幅 ΔT を可変にすることにより上記積分回路3dの利得を可変にして上記A、B、Cの定数を実現するようにしてもよい。次に、このように処理を行なった場合を図3図に従って説明する。

まず、図4aに示すように時間 ΔT_1 において上記デジタルフィルタ部3aでは入力データに対して演算処理を行わず、上記制御信号(H/L)のパルス幅を $C \cdot \Delta T$ に設定して出力する。これにより上記積分回路3dより $C \cdot K / S$ に対応する電圧が出力される。次に、図4bに示すように時間 ΔT_2 において上記デジタルフィルタ部3aではS項の演算がなされ、演算結果のデータが出力されるとともに上記制御信号(H/L)のパルス

幅が $B \cdot \Delta T$ に設定され出力される。これにより上記積分回路3dより $(BS + C) \cdot K / S$ に対応する電圧が出力される。最後に図4cに示すように時間 ΔT_3 において上記デジタルフィルタ3aでは S^2 項の演算がなされ、演算結果のデータが出力されるとともに、上記制御信号(H/L)のパルス幅が $A \cdot \Delta T$ に設定され出力される。これにより上記積分回路3dの出力は $(AS^2 + BS + C) \cdot K / S$ に対応した電圧となり周期Tの間保持される。

このように上記制御信号(H/L)のパルスを可変にして上記A、B、Cの定数を実現することで上記デジタルフィルタ部3aでの演算が減少演算が簡単になる。また、各演算項ごとに分けデータを出力するので上記D/A変換器3eのビット数は少なくとも精度等を維持することができる。

また、上記積分回路3dは、直流利得が極端大きいので上記ドラムモータ4のバラツキを吸収することができる。

- 11 -

〔発明の効果〕

以上述べたように本発明によれば、簡潔な構成でデジタルフィルタを用いた高精度のD/A変換回路を実現することができ、デジタルフィルタの適用が容易になる。

また、実施例で示したように本発明をVTRのドラムサーボ系に適用した場合、積分回路によりドラムモータのバラツキを吸収することができる。

4. 図面の簡単な説明

第1図は本発明に係るD/A変換回路をVTRのドラムサーボ系に適用した本発明例の構成を示すブロック図である。

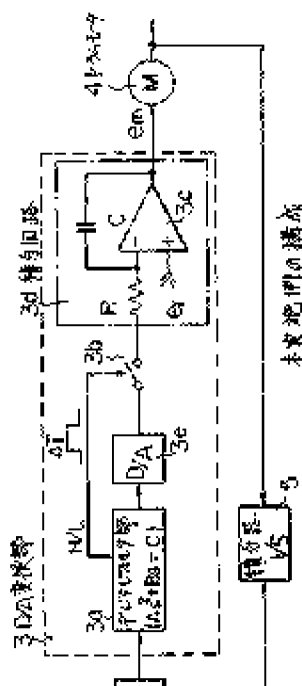
第2図は上記D/A変換回路において、パルス

- 12 -

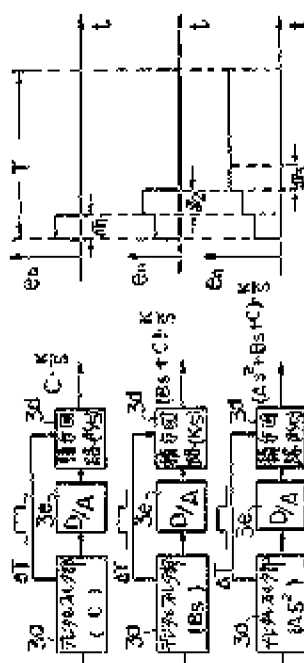
にデジタルフィルタを用いた場合の説明図である。

第6図は伝達関数 $(AS + B + \frac{C}{S})$ を実現するデジタルフィルタの従来の構成の一例を示すブロック図である。

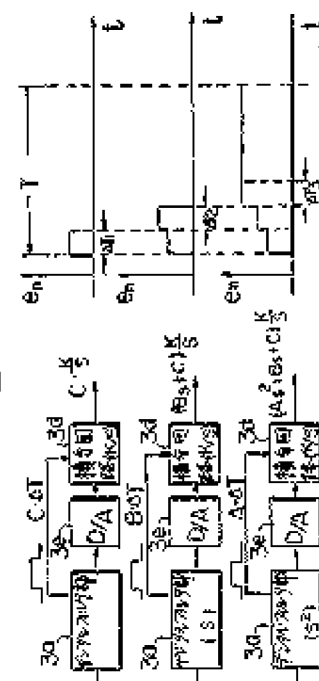
- 1..... 誤差検出器
- 2..... A/D変換器
- 3..... D/A変換器
- 3a..... デジタルフィルタ部
- 3b..... スイッチ
- 3c..... オペアンプ
- 3d..... 積分回路
- 3e..... D/A変換器
- 4..... ドラムモータ
- 5..... 積分器



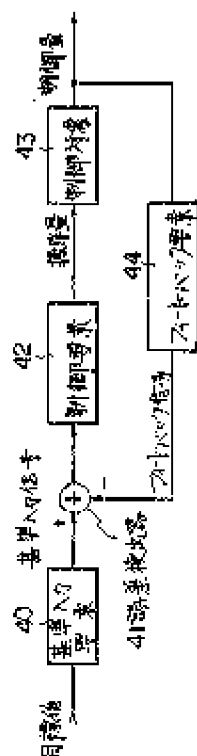
第1図 本発明の構成



第2図 D/A変換の動作



第3図 D/A変換の動作



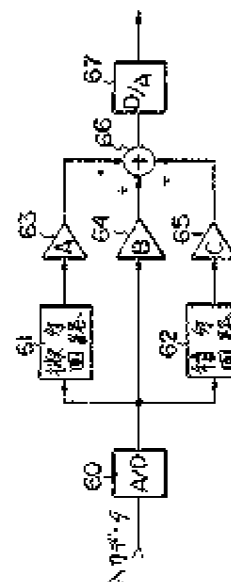
自動制御系の構成

第4図



デジタル入力からの制御要素

第5図



$AS + B + \frac{C}{S}$ を実現する構成例

第6図